

PAT-NO: JP356135972A
DOCUMENT-IDENTIFIER: JP 56135972 A
TITLE: MANUFACTURE OF SEMICONDUCTOR DEVICE
PUBN-DATE: October 23, 1981

INVENTOR-INFORMATION:
NAME
NISHIMURA, TADASHI

ASSIGNEE-INFORMATION:
NAME COUNTRY
CHIYOU LSI GIJUTSU KENKYU KUMIAI N/A

APPL-NO: JP55040642
APPL-DATE: March 28, 1980

INT-CL (IPC): H01L029/78, H01L021/263 , H01L021/324 , H01L029/08 , H01L029/62
US-CL-CURRENT: 257/E21.347, 438/488 , 438/504 , 438/FOR.393 , 438/FOR.416

ABSTRACT:

PURPOSE: To unify an absorption coefficient of a laser beam extending over the whole region on a semiconductor wafer and to effect annealing a monocrystalline region and protecting a polycrystalline region by one time laser radiation by a method wherein a thin polycrystalline silicon layer is deposited over the whole surface of the semiconductor wafer.

CONSTITUTION: A field oxide film 2 is formed in the monocrystalline region and a prescribed gate oxide film 4 is formed in an active region. Then, the polycrystalline silicon layer 5 is deposited and a source-drain region 6 is formed with the polycrystalline silicon layer 5 as a mask. In the following, after a phosphorus-doped polycrystalline silicon layer 8 is deposited over the whole surface of the semiconductor wafer, the laser annealing is applied. After the radiation of the laser, the polycrystalline silicon layer 8 is oxidized to form an oxide film, and the oxide film effects insulation of the source-drain region 6 and the polycrystalline silicon layer 5 as the gate and wiring body from each other.

COPYRIGHT: (C)1981,JPO&Japio

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—135972

⑬ Int. Cl.³

H 01 L 29/78

21/263

21/324

29/08

29/62

識別記号

庁内整理番号

6603—5F

6851—5F

6851—5F

7514—5F

7638—5F

⑭ 公開 昭和56年(1981)10月23日

発明の数 1

審査請求 未請求

(全 6 頁)

⑮ 半導体装置の製造方法

研究部内

⑯ 特 願 昭55—40642

⑰ 出 願 昭55(1980)3月28日

⑱ 発 明 者 西村正

伊丹市瑞原4丁目1番地株式会
社コンピュータ総合研究所第三

⑲ 出 願 人 超エル・エス・アイ技術研究組
合

東京都港区三田一丁目4番28号
(三田国際ビルディング21階)

⑳ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

(1) レーザアニールを用いたMOS型半導体装置の製造方法において、半導体ウエハを構成する単結晶領域に形成されるソース、ドレイン領域と、多結晶半導体層で形成されるゲートおよび配線領域を500Å以下の多結晶半導体層でおおい1回のレーザ照射によつてゲートおよび配線領域の破壊もしくは前記ソース、ドレイン領域の不完全アニールをまねかずに浅い接合をもつたソース、ドレイン領域の形成と、前記ゲートおよび配線領域の低抵抗化をはかることを特徴とする半導体装置の製造方法。

(2) 半導体ウエハ全面をおおう500Å以下の多結晶半導体層は、リンがあらかじめドーブされた層であることを特徴とする特許請求の範囲第(1)項記載の半導体装置の製造方法。

(3) 半導体ウエハ全面をおおう500Å以下の

多結晶半導体層は、砒素があらかじめドーブされた層であることを特徴とする特許請求の範囲第(1)項記載の半導体装置の製造方法。

(4) 半導体ウエハ全面をおおう500Å以下の多結晶半導体層は、リンがあらかじめイオン注入によつてドーピングが行われた層であることを特徴とする特許請求の範囲第(1)項記載の半導体装置の製造方法。

(5) 半導体ウエハ全面をおおう500Å以下の多結晶半導体層は、砒素があらかじめイオン注入によつてドーピングが行われた層であることを特徴とする特許請求の範囲第(1)項記載の半導体装置の製造方法。

(6) 500Å以下の多結晶半導体層は、レーザアニール後すべて酸化された絶縁膜となることを特徴とする特許請求の範囲第(1)項記載の半導体装置の製造方法。

3. 発明の詳細な説明

この発明は、レーザアニールを用いた半導体装置、特にMOS型半導体装置の製造方法

(1)

(2)

に関するものである。

従来のMOS型半導体集積回路素子の製造方法を第1図(a)～(f)によつて説明する。

まず、第1図(a)のように半導体ウエハを構成する単結晶領域1に素子間分離のためのフィールド酸化膜2が形成され、続いて、第1図(b)のように活性領域3に所定の膜厚(400～600Å)をもつたゲート酸化膜4が形成される。その後、第1図(c)のようにゲートおよび配線領域としての多結晶シリコン層5がデポジション(4000Å)され、次いで、第1図(d)のように写真製版が行われ、多結晶シリコン層(多結晶シリコンゲート)5が形成される。この多結晶シリコン層5をマスクとして第1図(e)のようにソース、ドレイン領域8形成のための砒素イオン注入を150K \times V、 4×10^{12} /cm²の条件で行う。従来の熱炉による製造プロセスでは、この後イオン注入された砒素の活性化のため窒素雰囲気中1000℃で、30分ほどのサーマルアニールを行う。また、レーザアニールを用いる場合には、多結晶シリコ

(3)

低抵抗化は、別々にレーザ照射しなければならず、また、その適正レーザパワーの違いから、照射順序も一時的に決定されてしまうという不都合があった。

この発明は、上記従来のレーザアニールによる欠点を除去するためになされたもので、半導体ウエハの全面に500Å以下のうすい多結晶シリコン層をデポジションすることにより、半導体ウエハ上のすべての領域でレーザ光の吸収係数を一様にし、一度のレーザ照射で、単結晶領域のアニールと多結晶領域の保護を両立できるようにしたものである。さらに一歩進んで、この500Å以下のうすい多結晶シリコン層に砒素またはリンをイオン注入するか、あるいはあらかじめドーピングしておいて、レーザ照射を行えばこのうすい多結晶シリコン層からの拡散により、浅い接合をもつたソース、ドレイン領域とゲートおよび配線領域としての多結晶シリコン層の低抵抗化を同時に行うことができる。また、レーザ照射後は、この500Å以下のうすい多結晶シリコン層を酸化し、

(3)

ン層5の破壊を防ぐため、第1図(f)のように厚い酸化膜(層間絶縁膜)7をコートした後、レーザ照射を行つている。しかし、この方法では、多結晶シリコン層5と単結晶領域1のイオン注入領域(ソース、ドレイン領域)6における適正なアニールを行うためのレーザパワーが大きく異なるため、パワーのマージンが少なく、歩留りは非常に悪いものであった。また、厚い酸化膜7をコートせず、単結晶領域1のイオン注入領域6とゲートおよび配線領域である多結晶シリコン層5にレーザを照射すれば、酸化膜によつて多結晶シリコン層5が保護されていないため、単結晶領域1のイオン注入領域6に必要な強度のレーザ光によつて多結晶シリコン層5は完全に破壊される。一方、多結晶シリコン層5が破壊されない程度にレーザ光強度を落せば単結晶領域1のイオン注入領域6のアニールが不完全になり、所定の特性を期待できない。従つて、単結晶領域1のイオン注入領域6のイオン注入によるダメージからの回復、注入不純物の活性化と多結晶シリコン層5のアニール、

(4)

ソース、ドレイン領域とゲート、あるいは配線領域としての多結晶シリコン層相互の分離絶縁をはかるとともに、この酸化膜を下敷酸化膜あるいは層間絶縁膜として用いるようにしたものである。以下、この発明を図面に基づいて説明する。

第2図(a)～(d)はこの発明の半導体集積回路素子の製造工程の一実施例を示す断面図である。まず、第2図(a)のように、従来方法と同様に半導体ウエハを構成する単結晶領域1に素子間分離のためのフィールド酸化膜2を形成し、しきい値電圧 V_{th} のコントロールのためのイオン注入を行つてから、活性領域3に所定のゲート酸化膜4を300Åの膜厚に形成する。次に、第2図(b)のようにゲートおよび配線領域としてのリンをドーブした多結晶シリコン層5を4000Åの膜厚にデポジションし、写真製版によつて多結晶シリコン層5およびゲート酸化膜4のエツチングを行う。このエツチングによつて得られた多結晶シリコンゲート(多結晶シリコン層)5をマスクとしてソース、ドレイン領域8を形成するため砒素イオン

(5)

を100K・V、 $4 \times 10^{15} / \text{cm}^2$ の条件で注入する。次に、第2図(e)のようにリンドーブの多結晶シリコン層8を500Å以下の厚みで半導体ウエハ全面にデポジションした後、レーザアニールを行う。レーザは、CWレーザを用い、波長は4800~6000Å、従つて、アルゴンレーザを用いるのがよい。レーザ光照射後、第2図(d)のようにこの500Å以下の多結晶シリコン層8を酸化して酸化膜9とし、この酸化膜9によりソース、ドレイン領域8とゲートおよび配線体としての多結晶シリコン層8相互の絶縁をとる。この酸化膜9を下致酸化膜に用いて厚い層絶縁膜をコートするか、あるいはこの酸化膜9をそのまま層間絶縁膜としてコンタクト写真製版およびアルミ配線を行う。以上の方法によれば、ソース、ドレイン領域8のN⁺層では、イオン注入時に導入された欠陥が完全に回復するとともに、注入不純物がほとんど注入された位置で活性化し、1000Å程度の接合深さを実現できるとともに、続く下致酸化膜はN⁺単結晶層までおよぼす、500Å

(7)

ザアニールによつて半導体集積回路にもたらされる多結晶シリコン層のアニール、低抵抗化、単結晶シリコン層の回復、不純物の活性化等の利点をすべて最大限に生かすことができ、さらに従来の製造プロセスを大幅に変更することなく、素子特性向上、製造時間の短縮をはかることができる利点がある。

4. 図面の簡単な説明

第1図(a)~(f)は従来のMOS型半導体集積回路の製造工程を示す断面図、第2図(a)~(d)はこの発明の半導体集積回路素子の製造工程の一実施例を示す断面図である。

図中、1は単結晶領域、2はフィールド酸化膜、4はゲート酸化膜、5は多結晶シリコン層、6はソース、ドレイン領域、8はうすい多結晶シリコン層、9は酸化膜である。なお、図中の同一符号は同一または相当部分を示す。

代理人 高野 信一 (外1名)

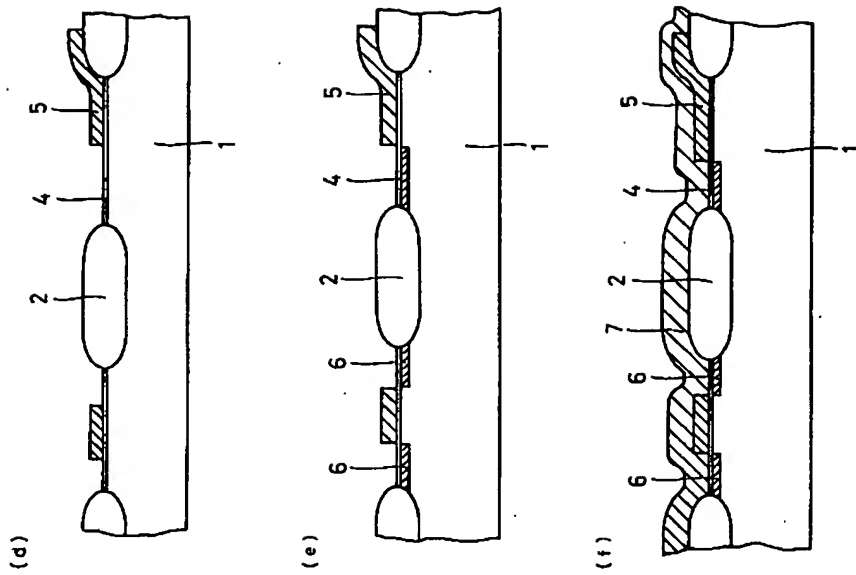
以下のうすい多結晶シリコン層8だけに限られるので、N⁺活性層表面を500Å以下のうすい多結晶シリコン層8だけに限られるので、N⁺活性層表面位置が変化しない。この下致酸化は酸化雰囲気中でレーザ照射をつづけて酸化してもよいし、低圧の熱処理による酸化でもよい。

なお、上記実施例では、500Å以下のうすい多結晶シリコン層8をデポジションする前にイオン注入を行つたが、この発明は、500Å以下のうすい多結晶シリコン層8をデポジションした後、配線またはリンのイオン注入を行うか、あらかじめ不純物を含んだ多結晶シリコン層8をデポジションしてからレーザアニールを行つてもよい。この場合は、レーザとしてQスイッチをかけたパルスレーザを用い、効率よく500Å以下のうすい多結晶シリコン層8から単結晶への不純物ドーピングを行う。波長は4000~15000Åであればよい。その後の酸化工程は、上記実施例と同じである。

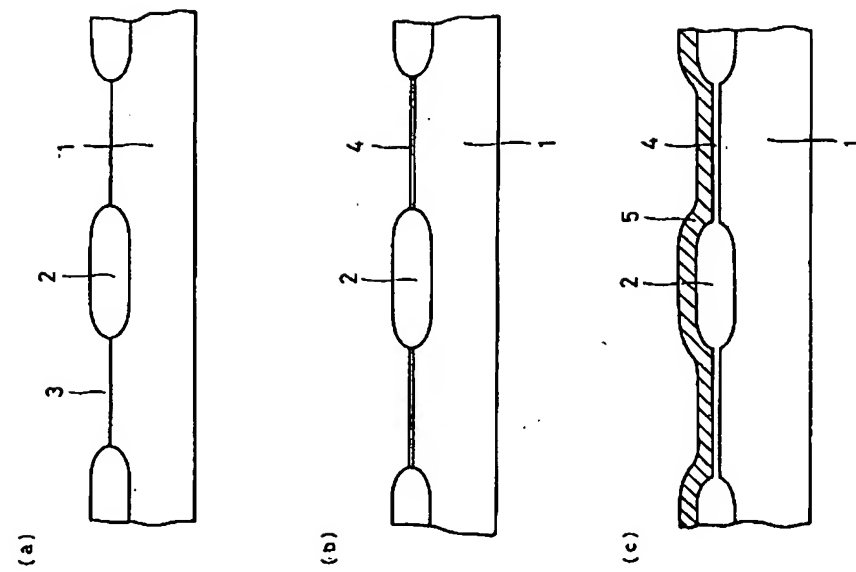
以上説明したように、この発明によれば、レー

(8)

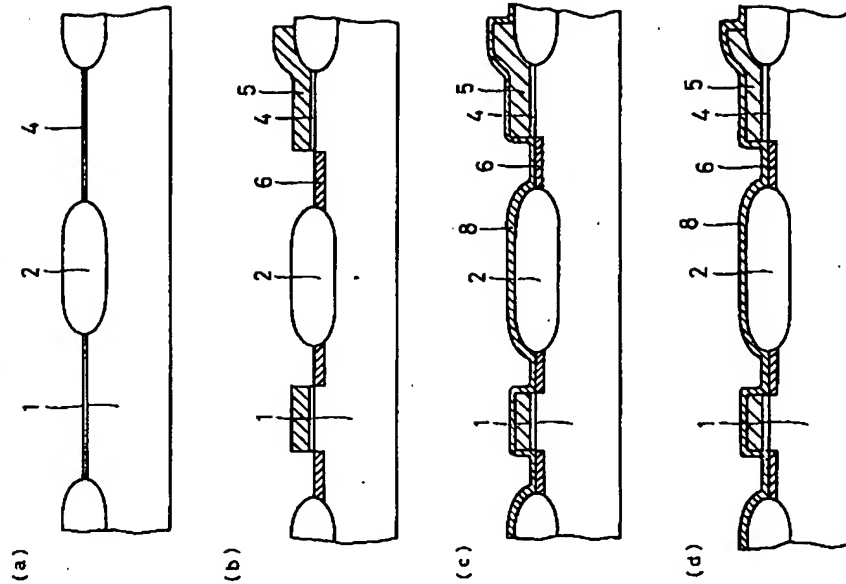
第 1 図



第 1 図



第 2 図



手 続 補 正 審 (自発)

昭和 55 年 N 月 5 日

達

特許庁長官殿

5. 補正の対象

図面

6. 補正の内容

図面第 2 図 (d) を別紙のとおり補正する。

以 上

1. 事件の表示 特願昭 55-40642 号

2. 発明の名称 半導体装置の製造方法

3. 補正をする者

事件との関係 特許出願人
住 所 神奈川県川崎市高津区宮崎 4 丁目 1 番 1 号
名 称 超エル・エス・アイ技術研究組合
代表者 岩 田 式 夫

4. 代 理 人

住 所 東京都千代田区丸の内二丁目 2 番 8 号
三菱電機株式会社内
氏 名 (6699) 弁理士 高 野

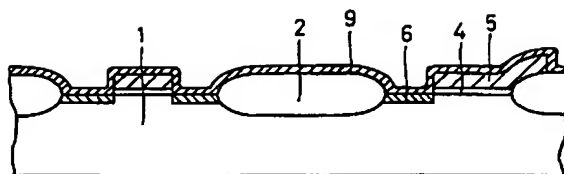
(電話先: 03(435)6201)



(1)

(2)

第 2 図 (d)



PAT-NO: JP401028809A
DOCUMENT-IDENTIFIER: JP 01028809 A
TITLE: LASER ANNEALING DEVICE
PUBN-DATE: January 31, 1989

INVENTOR-INFORMATION:
NAME
HASEGAWA, MICHIIHIKO

ASSIGNEE-INFORMATION:
NAME COUNTRY
FUJITSU LTD N/A

APPL-NO: JP62184979
APPL-DATE: July 23, 1987

INT-CL (IPC): H01L021/20, H01L021/263 , H01L021/268
US-CL-CURRENT: 219/121.85

ABSTRACT:

PURPOSE: To make the temperature distribution uniform and to prevent a semiconductor wafer from contamination caused by a wind by a method wherein a transparent cover of a very simple structure is provided, and it is used for covering the semiconductor wafer.

CONSTITUTION: A semiconductor wafer 2 is placed on a laser annealing device, and a cover 3 is provided covering an attracted wafer stage 1. The laser beam 5 such as a continuous oscillating type argon laser beam, for example, is condensed by a lens 4, it is transmitted through a cover 3, which transmits the laser beam 5, and projected on the wafer 2. The cover 3 is formed with material such as transparent quartz, for example, which transmits the laser beam 5. As a result, the surface temperature of the wafer 2 can be made uniform all the more. Also, the wafer 2 is not contaminated by the wind.

COPYRIGHT: (C)1989,JPO&Japio